

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

JEONG-HEE LEE et al.

Serial No.: *to be assigned*

Examiner: *to be assigned*

Filed: 12 February 2004

Art Unit: *to be assigned*

For: METHOD OF MANUFACTURING FIELD EMISSION DEVICE

CLAIM OF PRIORITY UNDER 35 U.S.C. §119

Mail Stop : Patent Application

Commissioner for Patents

P.O. Box 1450

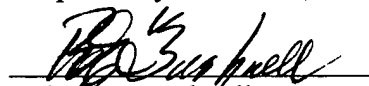
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign applications, Korean Patent application No.2003-8762 filed in Korea on 12 February 2003, and filed in the U.S. Patent and Trademark Office on 12 February 2004 is hereby requested and the right of priority provided in 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is certified copies of said original foreign applications.

Respectfully submitted,



Robert E. Bushnell

Reg. No.: 27,774

Attorney for the Applicant

1522 "K" Street, N.W., Suite 300

Washington, D.C. 20005

(202) 408-9040

Folio: P57030

Date: 2/12/04

I.D.: REB/rfc



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0008762
Application Number

출원년월일 : 2003년 02월 12일
Date of Application FEB 12, 2003

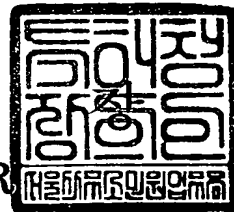
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 10 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.02.12
【국제특허분류】	H01J
【발명의 명칭】	전계방출소자의 제조방법
【발명의 영문명칭】	Manufacturing method of a field emission device
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	이정희
【성명의 영문표기】	LEE, Jeong Hee
【주민등록번호】	640224-2066914
【우편번호】	463-075
【주소】	경기도 성남시 분당구 하탑동 탐마을 경남아파트 713-1002
【국적】	KR
【발명자】	
【성명의 국문표기】	이항우
【성명의 영문표기】	LEE, Hang Woo
【주민등록번호】	690621-1057416

【우편번호】 442-811
【주소】 경기도 수원시 팔달구 영통동 964-5 주공아파트 516동 102호
【국적】 KR
【발명자】
【성명의 국문표기】 박상현
【성명의 영문표기】 PARK, Shang Hyeun
【주민등록번호】 701202-1462118
【우편번호】 355-020
【주소】 충청남도 보령시 대관동 흥화아파트 4동 110호
【국적】 KR
【발명자】
【성명의 국문표기】 김유종
【성명의 영문표기】 KIM, You Jong
【주민등록번호】 721201-1149417
【우편번호】 137-060
【주소】 서울특별시 서초구 방배2동 462-7번지
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 이해영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 6 면 6,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 496,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전계방출소자의 제조방법에 관해 개시된다. 개시된 방법은: 리프트오프법에 의해 에미터를 형성하며, 에미터 패터닝을 위한 희생층과 에미터 물질의 사이에 이들 간의 반응을 방지하는 격리층을 형성한다. 격리층은 희생층과 에미터 물질간의 반응을 방지하여 성공적인 리프트오프를 도모하고, 따라서 높은 휘도와 전체적으로 균일한 발광분포를 보임은 물론이고 전계방출부분에서의 결함이 없는 전계방출소자를 얻을 수 있게 한다.

【대표도】

도 3g

【색인어】

전계, 방출, 격리층, 전자

【명세서】**【발명의 명칭】**

전계방출소자의 제조방법{Manufacturing method of a field emission device}

【도면의 간단한 설명】

도 1a 내지 도 1g는 종래 전계방출소자의 제조방법을 설명하는 공정도이다.

도 2는 본 발명에 의해 제조되는 일반적인 구조의 전계방출소자의 개략적 단면도이다.

도 3a 내지 도 3i는 본 발명에 따른 전계방출소자의 제조방법의 한 실시예를 보이는 공정도이다.

도 4a 및 도 4b는 희생층 및 격리층의 적용이 없이 스크린 프린팅 및 포토리소그래피를 이용하는 종래 방법에 의해 제조된 전계방출소자의 전체적인 전자방출을 보이는 사진이다.

도 5a 및 도 5b는 본 발명에 의해 제조된 전계방출소자의 전체적인 전자방출을 보이는 표시소자의 사진이다.

도 6a는 본 발명에 의해 제조된 전계방출소자의 애노드전류-게이트전압 특성 그래프이며, 본 발명에 의해 제조된 전계방출소자의 도 6b는 밝기-게이트전압 특성을 보인 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 전계방출소자의 제조방법에 관한 것으로서, 전자방출 안정성 및 균일성이 향상된 전계방출소자의 제조방법에 관한 것이다.

- <8> 카본나노튜브(CNT)는 작은 직경과 길이 대 직경의 비 (aspect ratio)가 매우커서 매우 낮은 전압에서도 전자를 방출한다. 이러한 CNT는 우수한 전자방출 특성, 화학적, 기계적 내구성을 가지고 있으며 그 물성 및 응용성이 연구되어 오고 있다. 스피드 타입(Spindt-type) 전계 방출소자는 전자가 방출되는 에미터로서 금속 마이크로 팁을 이용한다. 마이크로 팁은 전계 방출 시 분위기 개스 및 불균일한 전계 등의 영향으로 수명이 단축되는 문제점을 안고 있다. 또한, 전계방출을 위한 구동전압을 낮추기 위하여는 일함수(work function)가 낮추어져야 하나 기존의 금속 마이크로 팁으로서는 한계가 있다. 이를 극복하기 위한 물질로서 길이 대 직경의 비(aspect ratio)이 극히 높고, 내구성이 우수하고 전자 전도성이 뛰어난 카본나노 튜브를 전자방출원으로 사용하는 전계방출어레이(field emission array, FEA)가 개발되고 있다.
- <9> 미국특허 6,339,281에는 전자방출물질 혼합 페이스트를 이용한 전계방출어레이 및 제조 방법에 관해 개시하며, 미국특허 6,440,761호는 성장법에 의해 얻어진 CNT를 에미터로 이용하는 전계방출어레이 및 그 제조방법을 개시한다. 일반적으로 에미터를 성장법에 의해 형성하는 것보다 페이스트를 이용해 형성하는 것이 용이하기 때문에 후자의 방법이 주로 선호된다.
- <10> 페이스트를 이용한 전계방출소자의 종래 제조방법을 간략히 살펴본다.
- <11> 도 1a에 도시된 바와 같이, 소다 라임 글래스(soda lime glass)등으로 된 기판(1)에 캐소드 전극(2)을 형성한다. 캐소드 전극(2)은 ITO 물질의 증착 및 포토리소그래피법에 의해 패터닝 된다.
- <12> 도 1b에 도시된 바와 같이, 상기 기판(1) 상에 게이트 절연층(3)을 형성한다. 게이트 절연층(3)은 캐소드 전극(2)이 부분적으로 노출되는 관통공(3a)을 갖는다. 이러한 게이트 절연층(3)은 예를 들어 스크린 프린트법 등에 의해 형성될 수 있다.

- <13> 도 1c에 도시된 바와 같이, 상기 게이트 절연층(3) 상에 게이트 전극(4)을 형성한다. 게이트 전극(4)은 상기 관통공(3a)에 대응하는 게이트홀(4a)을 가지며, 박막 형성 공정 또는 후막 형성 공정 등에 의해 금속 물질의 증착 및 패터닝 또는 금속 페이스트의 스크린 프린팅 등에 의해 형성된다.
- <14> 도 1d에 도시된 바와 같이, 상기 게이트전극(4) 및 게이트 홀(3a)내에 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노입자를 포함하는 페이스트 상태의 전자방출물질층(5)을 형성한다.
- <15> 도 1e에 도시된 바와 같이, 마스크(6)를 이용하여 상기 전자방출물질층(5)을 노광한다. 이때에 전자방출물질층(5)에는 네가티브 포토레지스트가 포함되어 있으므로 관통공(3a) 안쪽으로 자외선이 조사되고 따라서 이 부분의 포토레지스트가 감광에 의해 큐어링(curing)된다.
- <16> 도 1f에 도시된 바와 같이 상기 전자방출물질층(5)을 현상하여 관통공(3a) 내에 잔류 전자방출물질에 의한 에미터(5a)를 형성한다.
- <17> 도 1g에 도시된 바와 같이, 소정 온도 하에서 소결(firing)하여 상기 에미터(5a)을 완전히 경화시키면서 수축(收縮)시킴으로써 에미터(5a)가 게이트 홀(4a)의 하부로 낮추어 지게 한다.
- <18> 이상에서 설명된 종래 방법의 결점은 상기 전자방출물질층(5)으로부터 에미터(5a)를 얻는 과정에서 제거되어야 할 전자방출물질의 일부가 게이트 홀(4a)의 주위에 잔류할 가능성이 높고, 실제 이러한 문제가 실제 나타나고 있다는 것이다. 잔류하는 전자방출물질은 전계방출소자의 치명적 결함인 에미터(5a)와 게이트 전극(4) 사이에 전기적 쇼트를 야기시킨다. 에미터와 게이트 전극간의 전기적 쇼트는 높은 휘도와 고른 분포의 발광을 불가능하게 함은 물론 쇼트

된 특정부위에서의 전자방출을 불가능하게 한다. 이러한 결과는 게이트 전극에 전자방출물질이 접촉될 수 밖에 없는 포토리소그래피법의 적용에 기인한 것으로서, 이러한 문제를 미연에 방지하기 위해서는 전자방출물질이 게이트 전극 등에 접촉되는 것을 피하는 것이 필요하다. 게이트 전극과 전자방출물질의 접촉을 피할수 있는 방법은 리프트오프법을 사용하는 것이다. 잘 알려진 바와 같이 리프트오프법에 의하면, 에미터가 형성될 부분을 제외한 영역에 리프트오프를 위한 희생층이 형성된다. 따라서, 리프트오프법을 적용하게 되면 전기적 쇼트를 발생하는 전자방출물질이 희생층에 의해 게이트 전극 등에 접촉되지 않게 되고 또한 리프트 오프 후 불필요한 잔류물의 발생을 방지할수 있다. 그러나 실제 리프트 오프법을 적용해 보면, 전자방출물질에 포함되어 있는 감광성 물질과 희생층의 특정물질 간의 강한 화학적 결합에 의해 현상액 또는 리프트 오프용 용액에 의해서 에미터의 패터닝이 불가능함이 나타났다. 따라서 리프트 오프법에 의해 에미터를 성공적으로 형성하기 위해서는 희생층과 전자방출물질간의 화학적 결합을 방지해야 한다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명은 밝은 밝기와 전체적으로 고른 분포의 발광이 가능한 전계방출소자의 제조방법을 제공함에 그 목적이 있다.
- <20> 본 발명은 잔류전자방출물질에 의해 내부 전기적 쇼트를 효과적으로 방지하며 전자방출을 위한 에미터를 효과적으로 형성할 수 있는 전계방출소자의 제조방법을 제공함에 그 다른 목적이 있다.

【발명의 구성 및 작용】

- <21> 상기 목적을 달성하기 위하여 본 발명에 따르면,

- <22> 가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;
- <23> 나) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;
- <24> 다) 상기 희생층 위에 상기 게이트 전극 위에 에미터를 형성하기 위한 전자방출물질과 상기 희생층과의 접촉을 방지하기 위한 격리층을 형성하는 단계;
- <25> 라) 상기 희생층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층의 형성단계;
- <26> 마) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 격리층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 전자방출물질층에 의한 에미터를 형성하는 단계;
- <27> 바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법이 제공된다.
- <28> 상기 본 발명의 제조방법에 있어서, 상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 및 슬러리 중의 어느 하나로 형성된다. 상기 전도성 물질은 은(Ag)을 포함하는 것이 바람직하다.
- <29> 또한, 상기 전자방출물질로 카본나노튜브 및 나노파티클 중의 어느 하나를 사용하는 것이 바람직하다. 상기 도전성 물질은 은(Ag)이며, 상기 격리층에 저항성 물질을 포함시키는 것이 더 바람직하다.

- <30> 한편, 상기 격리층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것이 바람직하다. 또한, 상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것이 바람직하다.
- <31> 또한, 본 발명의 바람직한 실시예에 따르면, 상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있다. 그리고 상기 희생층은 포토레지스트이며, 상기 격리층은 IPA 희석액(IPA/H₂O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 의해 형성되는 것이 바람직하다.
- <32> 이하, 첨부된 도면을 참조하면서 본 발명에 따른 전계방출소자 제조방법의 바람직한 실시예를 상세히 설명한다.
- <33> 먼저, 일반적인 구조를 가지는 것으로서 본 발명의 제조방법에 의해 제조되는 전계방출소자의 개략적 구조를 살펴본다.
- <34> 도 2를 참조하면, 기판(10) 상에 캐소드 전극(20)이 형성되어 있고, 그 위에 게이트 절연층(30)이 형성되어 있다. 상기 게이트 절연층(30)에는 소정 직경과 깊이를 가지는 우물형 관통공(30a)이 형성되어 있다. 상기 우물형 관통공(30a)의 바닥 부분에 전자 방출을 위한 에미터(50a)가 마련되어 있다. 에미터(50a)는 상기 관통공(30a) 바닥으로 노출된 캐소드 전극(20) 상에 형성된다.
- <35> 위의 구조는 일반적으로 알려진 구조의 전계방출소자로서 상기 에미터(50a)의 하부에 본 발명의 제조방법 중 사용된 격리층의 잔류물, 예를 들어 저항성물질이 잔류할 수 있고, 경우에 따라서는 그렇지 않을 수 있다.
- <36> 한편, 상기 게이트 절연층(30) 상에는 상기 에미터(50a)로부터 전자를 추출(extract)하는 게이트 홀(40a)을 가지는 게이트 전극(40)이 형성되어 있다.

- <37> 상기 본 발명의 전자방출물질층(50)은 전계에 의해 전자방출이 가능한 CNT 또는 나노미터 크기의 입자를 포함한다. 또한 보다 효과적인 전류 공급을 위하여 상기 에미터(50a)에는 고전도성의 금속 입자 예를 들어 은(Ag) 또는 티타늄(Ti)이 포함되는 것이 바람직하다.
- <38> 상기한 바와 같이 에미터(50a)의 하부에 격리층의 잔류물인 저항성물질이 존재하는 경우, 이 저항성물질은 도전성 입자에 의해 전도성이 높은 에미터(50a)에 고르게 분포되어 있는 CNT 또는 나노 입자(nano particle) 들의 방출점들까지 전류가 고르게 공급되게 하는 역할을 하게 되는데 이 역할이 충분히 수행되기 위해서는 상기 저항성물질이 소정의 두께로 형성되는 것이 바람직하다.
- <39> 전계방출소자 제조시 야기될 수 있는 희생층과 에미터 물질간의 접촉은 이들 양자간의 반응을 유발시킬 가능성이 매우 높다. 이는 두 물질이 모두 감광성 물질을 포함하는 수지를 이루어져 있기 때문인 것으로 보인다. 희생층의 재료로 사용될 수 있는 수지는 노볼락(Novolac) 계통의 감광성 수지이다. 이 성분의 수지에 대해 강한 용해성을 가지는 용매, 예를 들어 텍사놀(Texanol)가 전자방출물질에 첨가되어 있을 경우 희생층에 대한 용매의 공격이 불가피하다. 즉, 두 층의 접촉으로 용해성이 강한 텍사놀이 희생층의 노볼락 매트릭스(novolac matrix)를 녹여내면 용해된 노볼락 매트릭스 성분이 전자방출물질에 존재하는 아크릭 매트릭스(acrylic matrix)와 혼합되면서 두 매트릭스 간의 강한 결합이 유도된다. 이러한 상태가 된 이후에는 현상액 또는 리프트 오프용 용매를 이용한 에미터의 패터닝이 불가능하다. 따라서, 본 발명의 제조방법은 기본적으로 리프트오프시 희생층으로 사용되는 물질과 에미터형성을 위한 전자방출 물질간의 공정 접촉을 방지하기 위한 격리층을 희생층 위에 형성하는 것이다.
- <40> 이하 본 발명에 따른 전계방출소자의 제조방법의 바람직한 실시예를 상세히 설명한다.

- <41> 도 3a에 도시된 바와 같이, 소다 라임 글래스(soda lime glass)등으로 된 기판(10)에 캐소드 전극(20)을 형성한다. 이를 위하여 기판(10)에 먼저 ITO 물질을 증착한 후 이를 포토리소그래피에 의해 패터닝한다.
- <42> 도 3b에 도시된 바와 같이, 상기 기판(10) 상에 게이트 절연층(30)을 형성한다. 게이트 절연층(30)은 캐소드 전극(20)이 부분적으로 노출되는 관통공(3a)을 갖는다. 이러한 게이트 절연층(30)은 스크린 프린트법 또는 절연물질의 증착 및 패터닝 과정 등을 수반하는 알려진 여러 가지 방법에 의해 형성될 수 있다.
- <43> 도 3c에 도시된 바와 같이, 상기 게이트 절연층(30) 상에 게이트 전극(40)을 형성한다. 게이트 전극(40)은 상기 관통공(3a)에 대응하는 게이트홀(40a)을 가지며, 소위 박막 공정인 금속 물질의 증착 및 패터닝 또는 후막 공정인 금속 페이스트의 스크린 프린팅 등에 의해 형성될 수 있다.
- <44> 도 3d에 도시된 바와 같이, 상기 관통공(3a)의 바닥을 제외하고 게이트 전극(40)의 표면 및 관통공(3a)의 내벽에 리프트 오프를 위한 희생층(60)을 형성한다. 희생층(60)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이크한다.
- <45> 도 3e에 도시된 바와 같이, 상기 희생층(60) 위에 격리층(70)을 형성한다. 격리층(70) 역시 희생층(60)과 마찬가지로 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅에 의해 형성한 후 소프트 베이크한다. 여기에서 상기 격리층(70)을 형성하기 위한 물질은 상기 희생층(60)과 반응성이 없거나 공정 상 방해가 되지 않는 정도의 극히 약한 반응성을 가지는 것이 필요하다. 이러한 비반응성은 상기 격리층(70)위에 형성될 전자방출물질에 대해서도 유지되어야 한다. 그리고 바람직하게는 상기 격리층(70)에는 전술한 바와 같이

미터 하부에 대한 저항물질층의 형성을 위해 저항성물질이 포함되어 있는 것이 바람직하며, 또한 감광성 포토레지스트도 함유될 수 있다. 여기에서 사용될 수 있는 저항성물질로는 SiO_2 , MgO , a-Si, p-Si 이 있고, 이들중의 적어도 어느 하나를 포함시킬 수 있다. 또한, 상기 격리층(70)이 저항성물질을 포함하지 않고 단순히 전자방출물질과 희생층(60)과의 접촉을 방지하기 위한 수단으로서만 적용되는 경우, 격리층(70)은 희생층(60)과 같은 형태로 상기 관통공(30a) 하부에는 형성되지 않고 캐소드(20)를 덮지 않도록 하는 것이 바람직하다.

<46> 도 3f에 도시된 바와 같이, 포토레지스트 및 전자 방출이 가능한 물질 예를 들어 CNT 또는 나노입자를 포함하는 전자방출물질층(50)을 형성한다. 이 페이스트에는 효과적인 전류공급을 위한 도전성 입자 예를 들어 은(Ag)이 포함되는 것이 바람직하다. 이러한 전자방출물질층(50)은 페이스트를 이용한 스크린 프린트, 졸-겔 또는 슬러리 용액을 이용한 스핀코팅 등에 의해 형성할 수 있다.

<47> 도 3g에 도시된 바와 같이, 가열 또는 자외선에 의해 희생층(60) 및 전자방출물질층(50)을 큐어링(curing)한다.

<48> 도 3h에 도시된 바와 같이, 에천트를 이용해 상기 희생층(60)을 제거하는 리프트 오프를 실시하여 상기 관통공(30a)의 바닥 중앙에만 격리층의 잔류부분(70a) 및 전자방출물질층에 의한 초기 형태의 에미터(50a)를 형성한다. 여기에서 상기 잔류부분(70a)은 격리층(70)의 형태에 따라 존재하지 않을 수 있다.

<49> 도 4f에 도시된 바와 같이, 소정 온도 하에서 소결(firing) 상기 에미터(50a)을 완전히 경화시키면서 수축(收縮)시킴으로써 에미터(50a)의 상단부가 게이트 홀(40a)의 하부로 낮추어지게 한다. 소결에 의하면 격리층의 잔류물(70a) 중의 열분해성 성분 모두가 제거되며, 저항성 물질은 매우 얇은 두께로 잔류한다.

- <50> 상기와 같은 본 발명의 제조방법의 특징은 희생층과 전자방출물질층의 사이에 격리층을 개재시킴으로써 포토레지스트가 포함된 희생층과 전자방출물질층 간의 반응을 방지하고 따라서 이들 간의 반응 및 이에 따른 강한 결합을 방지함으로써 에미터 형성을 위한 리프트 오프를 성공적으로 수행할 수 있다.
- <51> 한편, 상기와 같이 본 발명의 한 실시예에 따라 에미터의 하부에 저항물질층이 존재하는 경우, 이 저항물질층에 의해 전도성이 높은 전자방출물질층에 전류가 고르게 공급되어 에미터 전체적으로 고른 분포의 전자 방출이 가능하게 된다.
- <52> 도 4a 및 도 4b는 희생층 및 격리층의 적용이 없이 스크린 프린팅 및 포토리소그래피를 이용하는 종래 방법에 의해 제조된 전계방출소자의 전체적인 전자방출을 보이는 표시소자의 사진이다. 여기에서 도 4a는 애노드 전압이 1KV, 게이트 전압이 55V, 전자방출전류가 $367.5\mu\text{A}$ 인 상태에서의 화면밝기를 보이며, 도 4b는 애노드 전압이 1KV, 게이트 전압이 50V, 전자 방출 전류가 $58.6\mu\text{A}$ 인 상태에서의 화면밝기를 보인다.
- <53> 도 5a 및 도 5b는 본 발명에 의해 제조된 전계방출소자의 전체적인 전자방출을 보이는 표시소자의 사진이다. 여기에서 도 5a는 애노드 전압이 1KV, 게이트 전압이 55V, 전자방출전류가 1.13mA인 상태에서의 화면밝기를 보이며, 도 5b는 애노드 전압이 1KV, 게이트 전압이 60V, 전자방출전류가 2mA 인 상태에서의 화면밝기를 보인다.
- <54> 도 4a, 4b 및 도 5a, 5b를 비교해 보면 알 수 있듯이, 종래 방법에 의해 제조된 전계방출소자는 전류가 낮을 뿐 아니라 전자방출이 일어나지 않는 결함이 매우 크게 나타나는 반면, 본 발명에 의해 제조된 전계방출소자는 전기적 쇼트에 의한 결함이 나타나고 있지 않을 뿐 아니라 전류가 매우 높고 전체적으로 고른 밝기를 실현함을 알수 있다.

<55> 도 6a는 본 발명에 의해 제조된 전계방출소자의 애노드전류-게이트전압 특성 그래프이며, 도 6b는 밝기-게이트전압 특성을 보인 그래프이다. 도 6a를 통해 알수 있듯이 본 발명에 의해 제조된 전계방출소자는 매우 높은 전류와 밝기를 보인다. 여기에서 도 6b는 발광면과 센서의 거리가 약 6cm 정도 유지된 상태에서 측정된 것이기 때문에 실제 밝기는 도 6b의 결과에 비해 크게 나타날 것이다.

【발명의 효과】

<56> 상기와 같은 본 발명에 따르면, 격리층의 적용에 의해 높은 전류의 전자방출에 의해 높은 휘도의 전계방출소자를 얻을 수 있다. 또한 격리층에 의해 리프트오프가 성공적으로 이루어짐으로써 전체적으로 게이트 전극과 에미터 간의 전기적 쇼트가 없고 따라서 결함이 없는 전계방출소자를 얻을 수 있다. 또한, 본 발명의 한 실시예에 따라 전자방출물질층의 하부에 저항물질층의 존재로 인하여 전도성이 높은 전자방출물질층에 고르게 분포되어 있는 CNT 또는 나노입자(nano particle) 들의 방출점들까지 전류가 고르게 공급되고 따라서 전체 면적에서의 고른 분포로 전자를 방출할 수 있게 되고 따라서 국부적인 과전류가 방지되고, 결과적으로는 수명이 크게 연장되게 된다.

<57> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.

【특허청구범위】**【청구항 1】**

가) 기판에 캐소드 전극이 형성되고, 캐소드 전극 위에는 캐소드 전극을 일부 노출시키는 관통공을 가지는 게이트 절연층 및 상기 관통공에 대응하는 게이트 홀을 가지는 게이트 전극이 순차적으로 적층되어 있는 기판 구조물을 준비하는 단계;

나) 상기 기판 구조물에서 상기 관통공의 하부로 노출된 캐소드 전극을 제외하고 기판 구조물의 표면 및 상기 관통공의 내벽의 전체에 희생층을 형성하는 단계;

다) 상기 희생층 위에 상기 게이트 전극 위에 에미터를 형성하기 위한 전자방출물질과 상기 희생층과의 접촉을 방지하기 위한 격리층을 형성하는 단계;

라) 상기 희생층이 형성된 기판 구조물의 표면에 전자방출물질을 소정 두께로 도포하여 상기 관통공을 상기 전자방출물질로 매립하는 전자방출물질층의 형성단계;

마) 게이트 전극의 표면과 상기 관통공의 내벽에 형성된 상기 희생층을 제거하는 에천트에 의한 리프트 오프를 실시하여 희생층 위에 형성되는 격리층 및 전자방출물질을 제거하고 상기 관통공의 안쪽 영역에 상기 전자방출물질층에 의한 에미터를 형성하는 단계;

바) 상기 전자 에미터를 소성하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 전자방출물질로 카본나노튜브 및 나노입자 중의 어느 하나를 사용하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 전자방출물질층에 도전성 물질을 포함시킨 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 4】

제 3 항에 있어서,

상기 도전성 물질은 은(Ag)을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 격리층에 저항성 물질을 포함시키는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 저항성 물질은 SiO_2 , MgO , a-Si, p-Si 중의 적어도 어느 하나를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 격리층은 페이스트, 졸겔 그리고 슬러리용액 중의 어느 하나로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 전자방출물질층은 전도성 물질을 포함하는 것으로 페이스트, 졸겔 그리고 슬러리 중의 어느 하나로 형성하는 것을 특징을 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 전도성 물질은 은(Ag)인 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 10】

제 1 항에 있어서,

상기 전자방출물질층 및 희생층에 포토레지스트가 포함되어 있는 것을 특징으로 하는 전계방출소자의 제조방법.

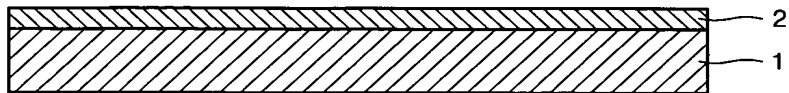
【청구항 11】

제 1 항에 있어서,

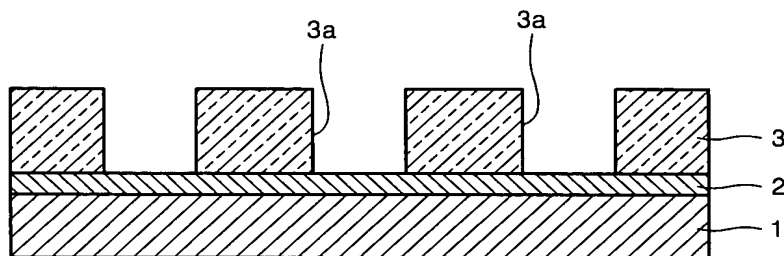
상기 격리층은 IPA 희석액(IPA/H₂O)에 PVA(polyvinyl alcohol)를 함유하는 용액에 의해 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【도면】

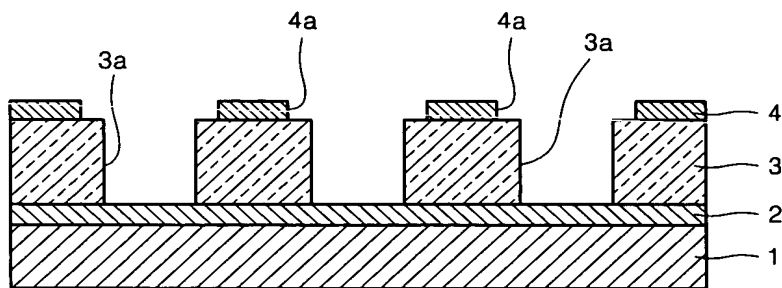
【도 1a】



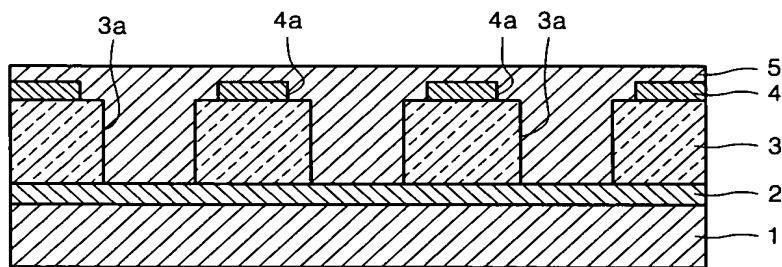
【도 1b】



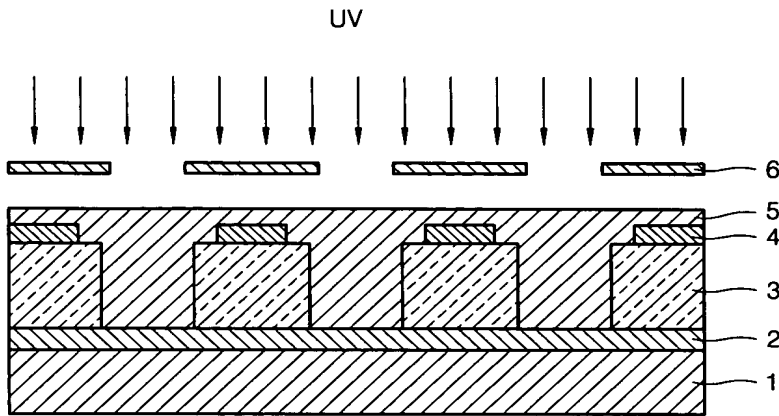
【도 1c】



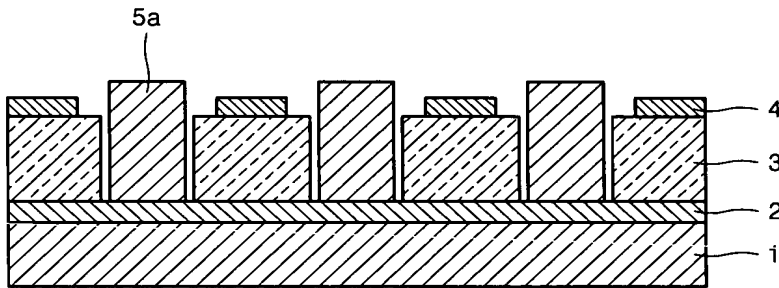
【도 1d】



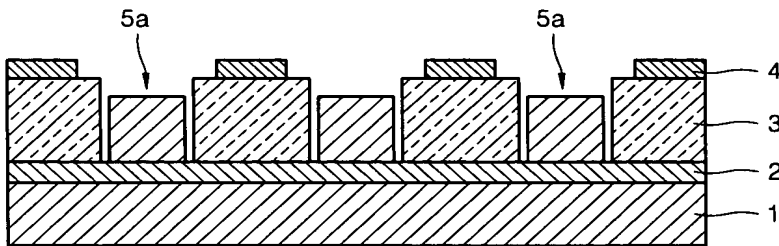
【도 1e】



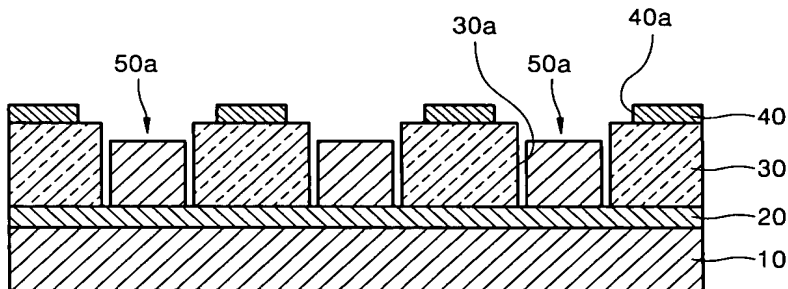
【도 1f】



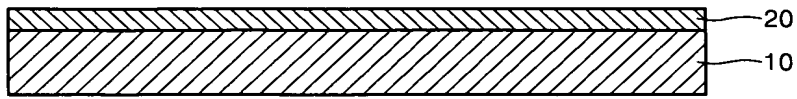
【도 1g】



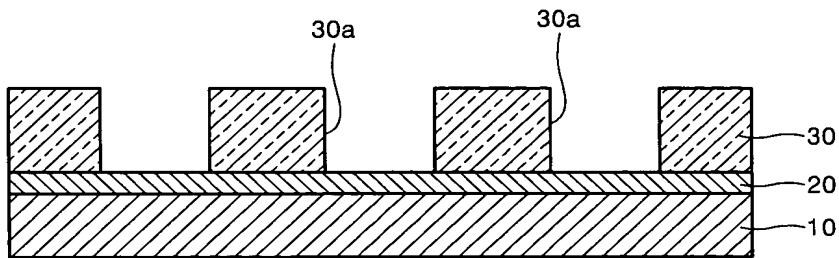
【도 2】



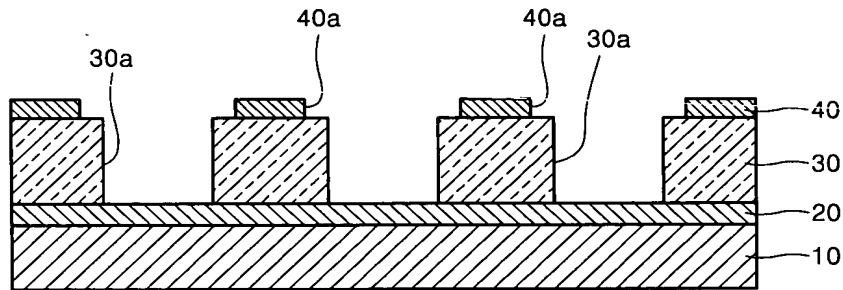
【도 3a】



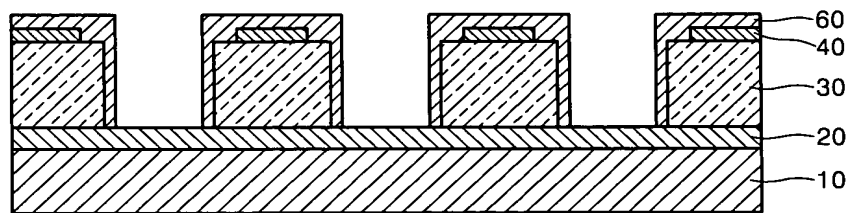
【도 3b】



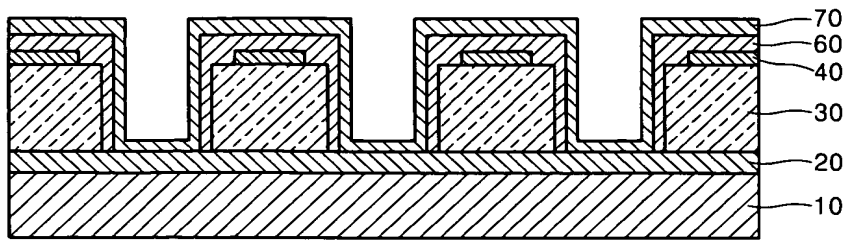
【도 3c】



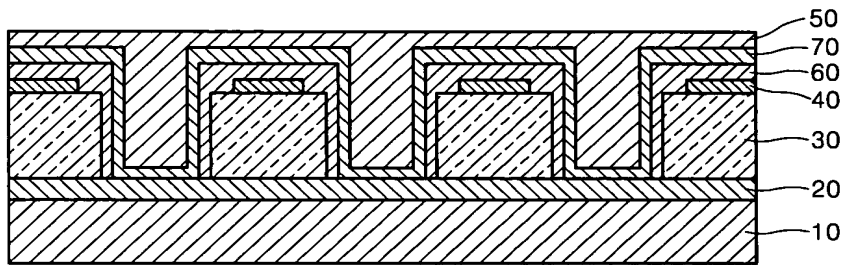
【도 3d】



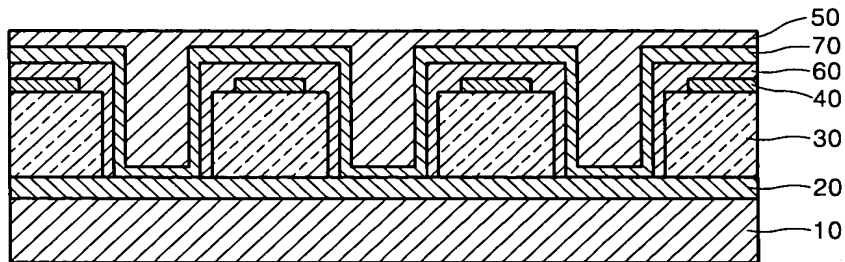
【도 3e】



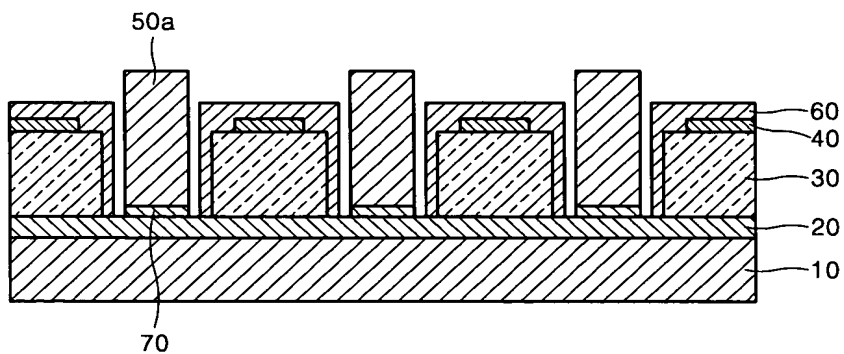
【도 3f】



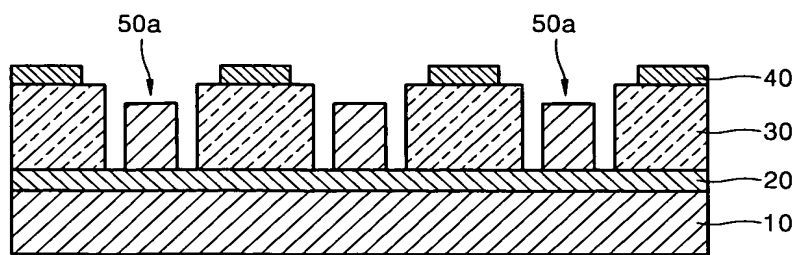
【도 3g】



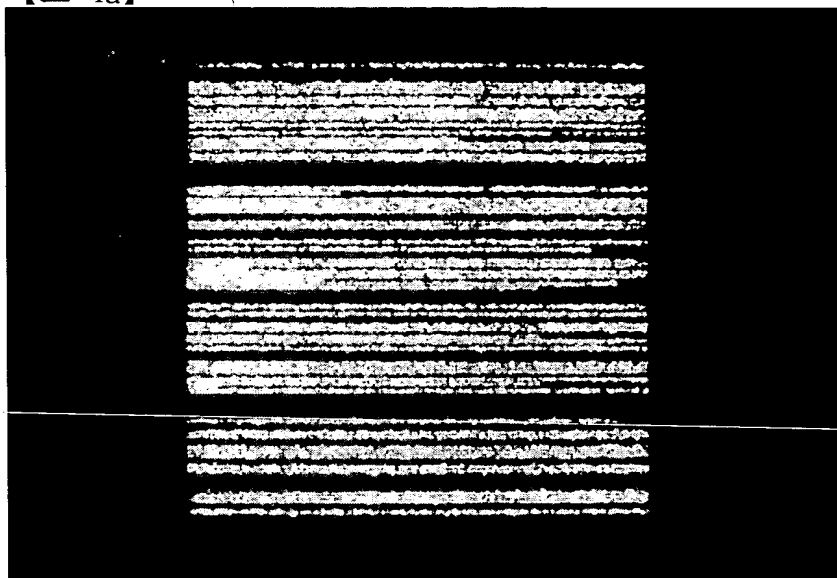
【도 3h】



【도 3i】



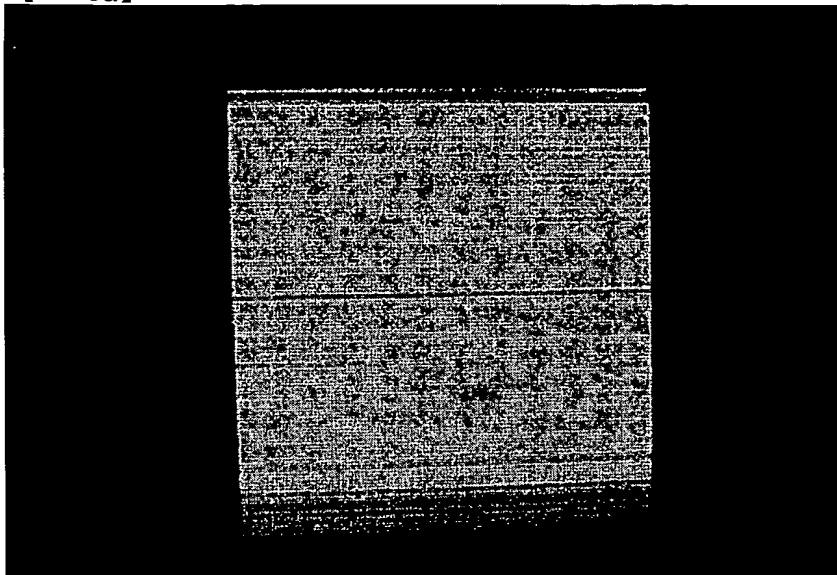
【도 4a】



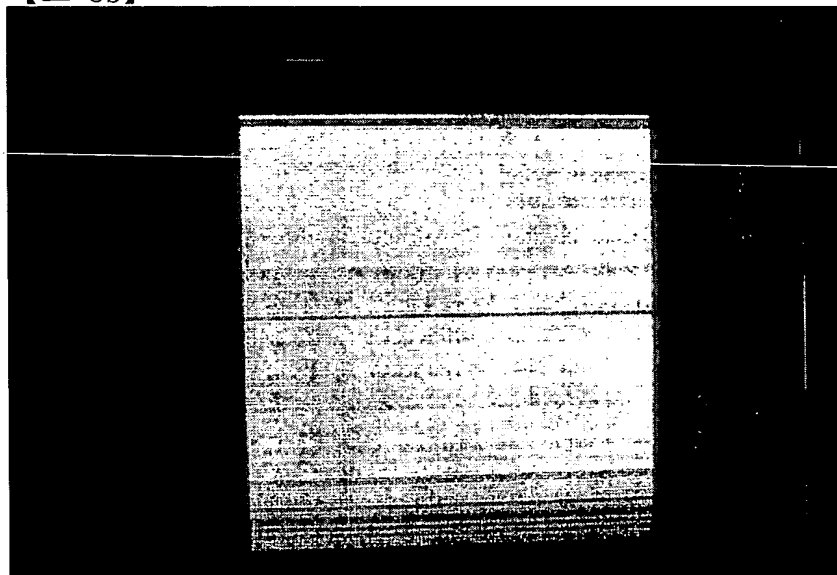
【도 4b】



【도 5a】

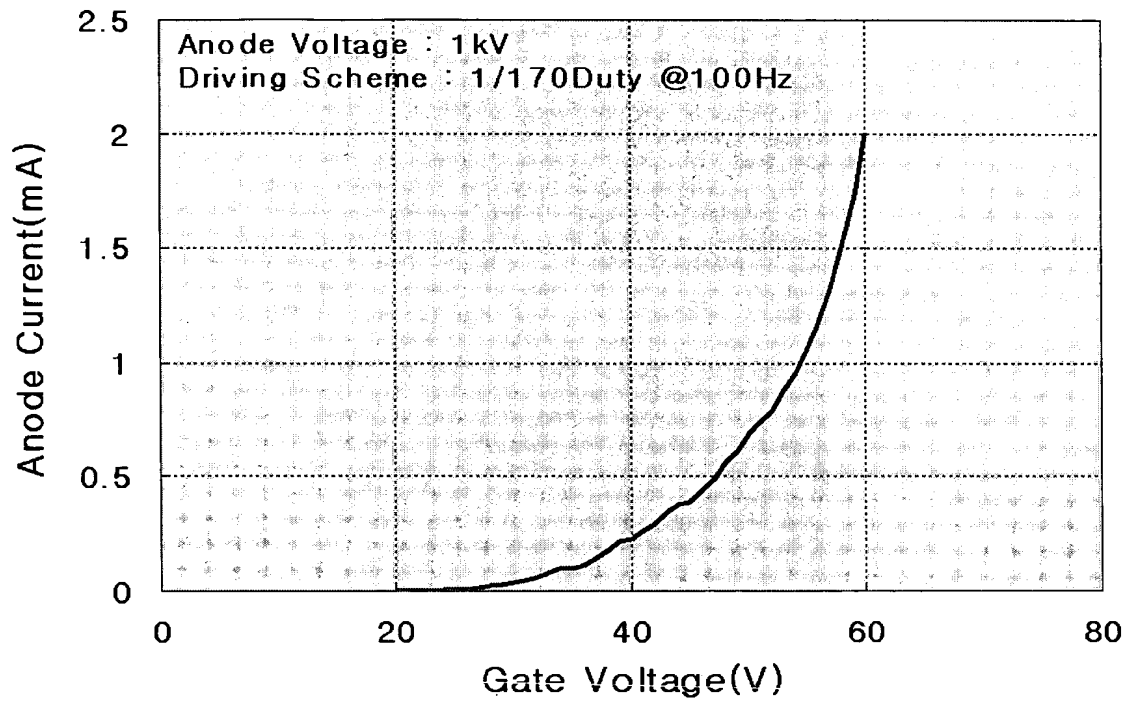


【도 5b】



【도 6a】

I-V Curve for Buffer Layer Application



【도 6b】

